

ABSTRACT OF Korean Patent Application No. 10-1999-0001023

Magnetic devices are disclosed which include a changeable magnetic region, within which each of two magnetic states can be imposed, using an applied magnetic writing stimuli. Upon subsequent electrical tunneling through the device, for example, the

5 relative orientation of the magnetic states of the changeable magnetic region, and a proximate, reference magnetic region, can be sensed, thereby providing a binary storage capability. The present invention limits the magnetic writing stimuli to only a preferred portion of the changeable magnetic region, e.g., the portion within which the two magnetic states can be dependably written opposite of one another. The magnetic writing stimuli is

10 limited to a preferred portion of the changeable magnetic region by either narrowing the bitline and/or wordline structures associated with applying the magnetic stimuli, and/or by lengthening the changeable magnetic region into an elongated structure such that its elongated dimension is greater than the lateral dimension of either or both of its respective wordline and bitline. The principles of the present invention can be applied to magnetic

15 random access ("MRAM") arrays, which employ magnetic tunnel junction ("MTJ") cells at respective intersections of bitlines and wordlines.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁶
G11C 5/08(11) 공개번호 특1999-0072262
(43) 공개일자 1999년09월27일

(21) 출원번호	10-1999-0001023
(22) 출원일자	1999년01월15일
(30) 우선권주장	9/021,569 1998년02월10일 미국(US)
(71) 출원인	인터내셔널 비지네스 머신즈 코포레이션 포만 제프리 엘 미국 10504 뉴욕주 마운트 (72) 발명자 에이브라함데이빗윌리엄 미국 10562뉴욕주오시닝스노우든에비뉴67 트로윌라우드필립루이스 미국 07430뉴저지주마하세드워스서클1171 (74) 대리인 김창세, 장성구

심사청구 : 없음

(54) 마그네틱소자의내의가변마그네틱영역의바람직한부분으로마그네틱기록자계를한정시키기위한방법및장치

요약

본 발명에 따르면, 인가된 자화 기록 자극을 사용하여 두 개의 자기 상태를 각각이 배열될 수 있는 가변 자기 영역을 포함하는 자기 소자들이 개시된다. 예를 들어, 자기 소자를 통과하는 후속적인 전기 터널링 시에, 가변 자기 영역의 자기 상태들과 인접한 기준 자기 영역의 상대적인 방향이 감지됨으로써, 이전 저장 능력을 제공한다. 본 발명은 자화 기록 자극을 가변 자기 영역의 바람직한 부분, 예를 들면 두 개의 자기 상태들이 서로 대향되어 기록될 수 있는 부분으로만 제한한다. 인가하는 자화 자극과 연관된 비트라인 및/또는 워드라인 구조들을 가늘게하거나, 및/또는 가변 자기 영역을 연장된 구조로 연장하여, 연장된 치수가 개별적인 워드라인과 비트라인의 한쪽 혹은 양쪽의 축방향 치수보다 더 크게 함으로써, 자화 기록 자극을 가변 자기 영역의 바람직한 부분으로 제한된다. 본 발명의 이론들은 비트라인들과 워드라인들의 개별적인 교차점들에 자기 터널 접합('NTJ')을 채용하는 자기 랜덤 액세스('MRAM') 어레이들에 적용될 수 있다.

도표도

도5

발명사

도면의 간단한 설명

도 1a-1b는 비트라인들과 워드라인들의 교차점들에서 다수의 자기 메모리 셀들과 개별적인 자기 터널 접합 메모리 셀을 각각 구비하는 MRAM 어레이를 나타내는 도면.

도 2는 이상적인 자기 터널 접합 소자에 대해 측정된 저항 대 인가된 자화응미축 자계의 이상적인 히스테리시스 곡선을 나타내는 도면.

도 3은 복잡한 미세자화 벽 구조를 가지며 대칭적으로 형성된 자기 영역 샘플의 자화 패턴을 나타내는 도면.

도 4는 도 3의 샘플 영역의 계산된 히스테리시스 곡선을 나타내는 도면.

도 5는 하나(혹은 하나 이상의)의 연장된 가변 자기 영역(들)이 단일 소자에 제공되는데, 자화 기록 자극은 가변적인 자기 영역(들)의 중심부(들)인 바람직한 부분에만 인가되는 본 발명의 제 1 실시예를 나타내는 도면.

도 6a-6b는 도 5의 연장된 가변 자기 영역들 중 하나의 영역과, 연장된 가변 자기 영역들의 종단들에서 공통 자화 방향을 유지하는 동안에 미의 바람직한 부분인 중심부에서 두 개의 대향 자화 방향을 각각을 취하는 영역과, 가변 자기 영역의 종단들에서의 고정 자화 바이어스원들을 나타내는 도면.

도 7은 비트라인들과 워드라인들의 교차점에서 이들에 대해 평행하지 않으며 메모리 어레이 밀도를 향상시키기 위해 교차되는 연장된 가변 자기 영역들을 갖는 자기 메모리 어레이를 나타내는 도면.

도 8은 비트라인이 워드라인과의 교차점에 매우 근접하여 자화 기록 자극이 비트/워드라인 교차점에서 자기 소자의 가변 자기 영역의 바람직한 부분에만 제공되는 본 발명의 다른 실시예를 나타내는 도면.

도면의 주요 부분에 대한 부호의 설명

103 : 워드라인 105 : 비트라인

108a-108f : 자유 자기 영역

109 : 자기 소자

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

정부 권리의 선언

미국 정부는 방위 개선 연구 프로젝트국(Defense Advanced Research Projects Agency)에 의해 제정된 계약 번호 MDA972-96-C-00300에 따라 본 발명의 권리를 소유한다.

관련 출원들에 대한 상호 참조

본 출원은,

1. 'MAGNETIC MEMORY ARRAY USING MAGNETIC TUNNEL JUNCTION DEVICES IN THE MEMORY CELLS'라는 명칭으로 1997년 6월 17일자로 공고된 미국 특허번호 제 5,640,343 호와,
2. 'MAGNETIC TUNNEL JUNCTIONS WITH CONTROLLED MAGNETIC RESPONSE'라는 명칭으로 1997년 7월 22자로 공고된 미국 특허 제 5,650,958 호와 연관되어 있다.

본 출원은,

1. 'MAGNETIC MEMORY DEVICES HAVING MULTIPLE MAGNETIC TUNNEL JUNCTIONS THEREIN'라는 명칭으로 출원된 제 호의 특허 출원과,
2. 'INTENTIONAL ASYMMETRY IMPOSED DURING FABRICATION AND/OR ACCESS OF MAGNETIC TUNNEL JUNCTION DEVICES'라는 명칭으로 출원된 제 호의 특허 출원과,
3. 'LIMITING MAGNETORESISTIVE ELECTRICAL INTERACTION TO A PREFERRED PORTION OF A CHANGABLE MAGNETIC REGION IN MAGNETIC DEVICES'라는 명칭으로 출원된 제 호의 특허 출원과 연관되어 있다.

이들 미국 특허들과 미국 특허 출원들 각각은 본 명세서에서 참조로서 인용된다.

본 발명은 자기 랜덤 액세스 메모리(a magnetic random access memory : 'MRAM') 내의 자기 메모리에 사용된 자기 소자들의 제조 및 액세스(access)에 관한 것이다.

상기 두 개의 인용된 미국 특허에 개시되고 도 1a-1b에 도시된 자기 랜덤 액세스 메모리('MRAM') 어레이들은 워드라인들(wordlines)(1, 2, 3)과 비트라인들(bitlines)(4, 5, 6)의 교차점에 위치한 자기 메모리 셀들(예를 들면, 셀(9))의 어레이를 포함한다. 각각의 셀은 자기적으로 가변될 수 있는 영역 혹은 '자유'(free) 영역(24)과 자기 터널 접합(a magnetic tunnel junction : 'MTJ') 소자(8) 내에 정렬된 자기 근접 기준 영역(20)을 포함한다. (기준 영역이라는 용어는 자유 혹은 가변 영역과 함께 하나의 소자로써 검출가능한 상태의 소자가 되는 소정 형태의 영역을 나타내기 위해 본 명세서에서 광범위하게 사용된다.) 그러한 셀들 내에 데이터를 저장하는데 있어 기초가 되는 이론은, 자유 영역의 자화용이축(the easy axis : 'EA')을 따라 자화 방향을 변경시킴으로써 자유 영역 및 기준 영역의 상대적인 자화 방향을 변화시킬 수 있는 역량과, 이후에 그 상대적인 자화 방향 차이를 판독하는 역량이다.

보다 상세하게, MRAM 셀은 각 비트라인과 워드라인을 통해 인가된 양방향의 전기적 자극과 이로 인한 자화 자극을 사용하여 자유 영역의 자화 방향을 반대로함으로써 기록되고, 나중에 이 셀은 기준 영역에 대한 자유 영역의 상대적인 자화 방향에 의존하는 두 개의 값들 중 하나의 값을 취하는 비트라인 및 워드라인 사이의 결과적인 터널링 저항을 측정함으로써 판독된다. 자유 영역의 자화 방향은 자유롭게 회전하지만 자화용이축을 따라 양방향(+EA 혹은 -EA)으로 정렬되도록 우세한 자화 방향을 갖는 간단한 원소 자석으로서 모델링된다면, 기준 영역이 자유 영역과 유사한 원소 자석이지만 +EA 방향으로 고정된 자화 방향을 갖는다면, 두 개의 상태들과 이에 따른 두 개의 가능한 터널링 저항값들은 셀에 대하여 정렬(+EA, +EA) 및 반정렬(-EA/+EA)로 정의된다.

인가된 EA 필드에 따른 터널 접합 저항의 특성을 나타내는 이상적인 히스테리시스(hysteresis) 곡선이 도 2에 도시된다. 터널 접합 저항은 영역(50) 내의 인가된 자극을 갖지 않는, 즉 영역(50) 내의 자화용이축 플리핑(fliping) 자체 강도 +/-H_c 이하의 인가된 자체에 대하여 저항 강도가 없는 두 개의 상이한 값들 중 하나의 값을 취할 수 있다. 인가된 자화용이축 자체가 +/-H_c를 초과하면, 셀은 여러 고정항(기준 영역에 대한 자유 영역의 반정렬 자화) 상태 혹은 저저항(기준 영역에 대한 자유 영역의 정렬 자화) 상태

로 강제된다.

터널 접합을 형성하는 두 개의 영역들의 자화 패턴은 간단할지라도, 기록 동작 동안에 자유 영역에서 자화 방향을 반전시키는 것은 실제로 원하지 않는 방식으로 하나의 영역 혹은 두 개의 영역에 모두 영향을 미칠 수 있다. 예를 들어, 기록 동작 동안에 자유 영역의 자화 방향 반전으로 인하여 결정 혹은 모서리 거칠기에 의해 고정된 자화 와동 혹은 특정한 자화 도메인 벽들이 함유될 수 있다. 접합 저항은 접합 영역에 대한 평균인 내적 μ_{eff} 에 의존하기 때문에, 자화 패턴 내에 그러한 복잡한 미세자기 구조들을 함유하는 것은 판독 동작 동안에 터널 접합 저항을 실제로 정확하게 측정할 수 없게 한다.

예를 들면, 도 3에는 수용가능한 다른 자화 패턴 영역들 사이에 복잡한 벽 구조가 존재하여 자화용이축 EA에 대해 대칭적으로 형성된 자기 영역(59) 내의 자화 패턴이 도시된다. 이러한 전체 자화 패턴은 +700 Oe로부터 -700 Oe에 도달한 다음에 다시 +700 Oe에 도달하는 자화용이축 바이어스(bias)에 대하여, 영률상으로 균일하게 자화된 샘플(상층 및 하층이 모두 원래 오른쪽을 향함)로부터 획득된다. 자계에 따라 복잡한 구조로 전개된 자화의 반전은 +700Oe로부터 약 -280 Oe에 도달한다. (자화 방향은 하나의 일계 자계에서 간단히 반전되지 않고, 두 개의 가능한 대향 자화 방향 사이에서 전체 자화 방향이 변화함에 따라 부분적으로 연속적이며 점진적 경향으로 전개된다.)

도 4는 자기 소자 대 손수하지 않은 샘플에 인가된 자화용이축 자계에 대해 평균된 전체 자화 방향을 나타내는 히스테리시스 곡선이다. 자화용이축으로 인가된 자계의 제거시에, 두 개의 상태를 중 하나의 상태를 취하는지 예측할 수 없는 셀 내에서 발생하는 비정방향 영역(150)은 셀 내에서 그러한 복잡한 미세자기 구조들의 전개에 기인한다.

복잡한 미세자기 구조들의 전개로 인한 비정방향 영역이 발생하는 이러한 상황을 개선하는 것이 가능하다. 예를 들면, 상기 인용된 "INTENTIONAL ASYMMETRY IMPOSED DURING FABRICATION AND/OR ACCESS OF MAGNETIC MEMORY CELLS"라는 명칭의 미국 특허 출원에서, 본 발명자들은 통상적인 MRAM 셀들 내에서 원하지 않는 소정의 미세자기 구조들의 전개를 회피하기 위한 기법을 개시한다. 상기 인용된 미국 특허 출원에는 실질적인 개선 방안들이 설명되어 있으며, 이에 따르면 최상의 경우에 있어서 자화를 반전시키기 위해 사용된 자계들의 사이클 동안에 벽 구조들이 전개되지 않았다. 그러나, 이러한 개선된 상황에 있어서도, 여전히 실질적인 비틀림이 자화 패턴 내에 있을 수 있다.

자화 반전 프로세스에 있어서, 이러한 비비대칭적인 작용은 최선의 경우에 유용한 매개변수적 윈도우(parametric window)의 동작을 감소시키거나 혹은 최악의 경우에 저장에 필요한 정밀한 히스테리시스 곡선의 전체적인 붕괴를 초래한다. 따라서, 자기 상태들 사이의 자유 자기 영역을 변화시키기 위한 기법들 및 구조들에 있어서, 자화 반전 프로세스 동안 상이하게 나타나는 복잡한 미세자기 구조들의 원하지 않는 영향들을 최소화 시키거나 혹은 이를 제거할 개선 방안이 필요하다.

발명이 이루고자 하는 기술적 과제

본 발명의 특징은 가변적인 자기 영역의 반전 동안에 잠재적으로 발생한 복잡한 미세자기 구조들의 원하지 않는 영향을 회피하기 위해, 인가된 자화 자극에 따라 두 개의 자기 상태들 각각으로 변화가능한 제 1 자기 영역을 포함하는 자기 소자에 관한 것이다. 자극 인가 구조는 자화 자극을 제 1 자기 영역의 바람직한 영역에만 인가하도록 제 1 자기 영역에 대해 정렬된다.

인가된 자화 자극에 따라 실제로 두 개의 자기 상태들 각각으로 함께 변화할 수 있는 제 1 자기 영역을 포함하는 다수의 제 1 자기 영역들이 제공된다. 자극 인가 구조는 자화 자극을 다수의 제 1 자기 영역들의 바람직한 각 부분들에만 인가하도록 다수의 제 1 자기 영역들에 대해 정렬된다. 자화 패턴들이 자화 자극의 인가시에 실제로 두 개의 자기 상태들 각각으로 함께 변화함으로써 다수의 제 1 자기 영역들이 정렬될 수 있다.

다수의 제 1 자기 영역들 각각은 연장될 수 있으며, 이 연장된 각각의 제 1 자기 영역들은 서로 평행하게 배열될 수 있다.

자극 인가 구조는 제 1 라인과 제 2 교차 라인을 포함할 수 있는데, 이들 라인을 중 적어도 하나는 다수의 제 1 자기 영역들의 연장된 치수(dimension)보다 작은 축방향 치수를 갖는다. 이 라인의 작은 부분은 자화 자극을 이들 영역들 중 각각의 바람직한 부분들에만 인가하도록 각각의 바람직한 부분들에 인접한 다수의 제 1 자기 영역들과 교차한다.

자기 메모리 내에 자기 메모리 셀을 포함하는 자기 소자는 자기 메모리와 조합하여 사용될 수 있다. 자기 메모리는 다수의 교차 영역들을 형성하는 다수의 제 1 및 제 2 교차 라인들을 포함할 수 있다. 다수의 각 자기 메모리 셀들은 교차 영역들 중 각각의 하나에 배치되어 제공되며, 각 셀은 개별적인 교차 영역을 형성하는 각각의 교차 라인들에 의해 액세스된다.

교차 영역들을 형성하는 라인들은 수직으로 교차할 수 있지만, 제 1 자기 영역 각각은 제 1 라인 혹은 제 2 라인에 대하여 평행하지 않게 미의 교차 영역을 통과하여 교차할 수 있다. 메모리 어레이내 자기 메모리 셀들의 각 제 1 자기 영역이 개별적인 교차 영역을 형성하는 각각의 교차 라인들에 대해서 평행하지 않게 미의 개별적인 교차 영역을 통과하여 교차한다면, 연장된 제 1 자기 영역들은 자기 메모리를 가로질러 다수의 제 1 및 제 2 교차 라인들이 형성된 평면들에 대해 평행한 평면에서 교차될 수 있으므로, 메모리 밀도를 개선한다.

가변적인 자기 영역인 제 1 자기 영역이 연장된 실시예에 있어서, 적어도 두 개의 자기 상태들은 실제로 제 1 자기 영역의 연장된 축의 중심부를 따르는 대향 자화 방향을 포함할 수 있다. 실제로 두 개의 대향 자화 방향은 이 영역의 개별적인 종단들에서 공통 자화 방향으로 전개될 수 있다.

제 1 자기 영역이 실제로 미의 바람직한 영역인 중심부에서 두 개의 대향 자화 방향 중 어느 하나의 자화 방향을 취하는 동안에, 이 영역은 미의 개별적인 종단들에서 공통 자화 방향을 유지하도록 형성될 수 있

다. 가변적인 자기 영역의 제 1 자기 영역의 개별적인 종단들에서 공통 자화 방향의 형성을 용이하게 하기 위해, 고정 자화원들(fixed magnetization sources)이 제공될 수 있으며 이는 연장된 제 1 자기 영역의 개별적인 종단에 배치될 수 있다.

전술한 자기 소자의 제조 방법과 마찬가지로, 자기 소자에 두 개의 자기 상태를 중 하나의 상태를 기록하기 위한 방법들도 본 발명의 이론들에 따라 또한 제공된다.

자화 자극을 예시적인 연장된 가변 자기 영역의 중심부인 바람직한 부분에만 제한함으로써, 바람직한 부분 내의 자화 패턴들은 확실하고 균일하게 두 개의 대향 자화 방향 중 하나의 자화 방향을 취할 것이며, 가변 자기 영역의 종단들로 향하는 원하지 않는 소정의 잠재적인 자화 패턴들이 최소화될 것이므로, 자화 자극은 자기 소자의 후속하는 기록 동작의 수행에 영향을 미치지 않을 것이다.

발명의 구성 및 작용

도 5 내지 도 8을 참조하여, 자화 기록 자극이 가변적인 자기 영역의 바람직한 부분에만 인가되는 자기 소자들의 사용 및 형성에 관한 본 발명의 이론들이 설명된다. 그러나, 배경 기술로서 상기 인용된 미국 특허 제 5,640,343 호 및 제 5,650,958 호에 따라, 먼저 도 1a-1b에 도시된 자기 메모리 어레이의 형성 및 동작의 기초가 되는 일반적인 이론들을 설명한다.

도 1a를 참조하면, 예시적인 MRAM 어레이는 수직인 평면 내에서 병렬로 배열된 워드 라인들(1, 2, 3)로서 기능하는 전기적 도전선들의 세트와 다른 수직인 평면 내에서 병렬로 배치된 비트 라인들(4, 5, 6)로서 기능하는 전기적 도전선들의 세트를 포함한다. 비트 라인들은 워드라인에 대해 상이한 방향으로 흐르는, 예를 들면 워드라인과 직각이므로, 위에서 볼 때 이 두 개의 라인들 세트는 서로 교차한다. 도 1b에 상세히 도시된 통상적인 메모리 셀(9)과 같은 메모리 셀은 워드라인들과 비트라인들 사이에 수직하게 떨어진 교차 영역 내의 이들 라인들의 각 교차점에 위치된다. 3 개의 워드라인들과 3 개의 비트라인들이 도 1a에 도시되었지만, 라인들의 수는 통상적으로 이보다 많다. 메모리 셀(9)은 수직인 스택(stack)으로 정렬되고, 이는 다이오드(7)와 자기 터널 접합(a magnetic tunnel junction: 'MTJ')(8)을 포함할 수 있다. MRAM 어레이가 동작하는 동안에, 전류는 메모리 셀(9)을 통해 수직 방향으로 흐른다. 메모리 셀(9)을 통과하는 수직 전류 경로는 메모리 셀(9)이 매우 작은 표면적을 갖도록 한다. 워드 라인들, MTJ, 다이오드에 대한 접점과 비트라인에 대한 접점은 모두 동일한 면적을 갖는다. 도 1a에는 도시되지 않았으나, MRAM 어레이는 다른 회로가 형성될 수 있는 실리콘 기판과 같은 기판 상에 형성될 수 있다. 또한, 절연 재료층은 교차 영역들보다는 통상적으로 MRAM의 영역들에 있는 비트라인들과 워드라인들 사이에 위치된다.

메모리 셀(9)의 구조가 도 1b를 참조하여 상세하게 설명된다. 메모리 셀(9)은 워드 라인(3)(도 1a에 도시됨) 상에 형성되어 이 워드 라인(3)과 접촉한다. 메모리 셀(9)은 다이오드와 같은 소자의 수직인 스택, 예를 들면 실리콘 접합 다이오드(7)와 전기적으로 연속하여 접속된 MTJ(8)를 포함한다. 다이오드(7)는 n-형 실리콘층(10)과 p-형 실리콘층(11)을 포함하는 실리콘 접합 다이오드이다. 다이오드(7)의 p-형 실리콘층(11)은 텅스텐 스테드(stud)(12)를 통해 MTJ(8)에 접속된다. 다이오드(7)의 n-형 실리콘층(10)은 워드 라인(3)에 접속된다.

MTJ(8)는 다른 재료층의 상층에 쌓아올려진 재료층들의 연속으로 형성된다. 도 1b의 MTJ(8)는 Pt와 같은 형판(型板)층(a template layer)(15)과, 퍼멀로이(permalloy)(Ni-Fe)와 같은 초기 강자성체층(an initial ferromagnetic layer)(16)과, Mn-Fe와 같은 반강자성체층(an antiferromagnetic layer)(AF)(18)과, Co, Fe 혹은 퍼멀로이와 같이 자화 방향이 고착 혹은 고정된 기존 강자성체층(FMF)(20)과, 알루미늄(Al₂O₃)의 박막 터널링 장벽층(22)과, 퍼멀로이를 포함하는 샌드위치형의 박막 Co-Fe는 같이 연질(軟質)이고 가변적인 '자유' 강자성체층(FMS)(24)과, Pt와 같은 접촉층(25)을 포함한다.

자유 강자성체층(24)은 자화용이축('EA')으로 지칭되는 자화 방향에 대하여 무제한 축을 갖도록 제조된다. 자유 강자성체층(24)에는 이 자화용이축을 따라 메모리 셀의 두 개의 상태들을 정의하는 두 개의 가능한 자화 방향이 있다. 이와 반대로, 기존 강자성체층(20)은 자유 강자성체층(24)의 자화용이축에 평행한 양방향성의 이방성 방향으로 지칭되는 하나의 바람직한 자화 방향만을 갖도록 제조된다. 자유 강자성체층(24)에 있어서 소망하는 자화용이축은 MTJ의 진성 이방성, 응력변형 유도형(strain-induced) 이방성, 형태 이방성의 소정의 조합에 의해 설정된다. 도시된 MTJ(8)와 자유 강자성체층(24)은 길이가 L이고 폭이 W이며 L이 W보다 더 긴 직사각형으로 만들어질 수 있다(도 1b). 자유 강자성체층(24)의 자기 모멘트는 L 방향을 따라 더 잘 정렬된다.

양방향성의 이방성 방향의 기존 강자성체층(20)은 Pt, Cu 혹은 Ta와 같은 형판층(15) 위에 성장된 초기 강자성체층(16) 상에 Fe-Mn AF층(18)을 성장시킴으로써 설정된다. 형판층(15)은 초기 강자성체층(16) 내에 111 방향의 결정 조직을 유기한다. 기존 강자성체층(20)의 소망하는 진성의 양방향성 이방성 방향을 발생시키는 이러한 층들은 자유 강자성체층(24)의 소망하는 자화용이축에 평행한 자계 내에서 부착된다. 대안적으로, AF 재료의 차단 온도(blocking temperature)보다 더 높은 온도로 기판을 가열하는 동안에, 자화용이축에 평행하고 충분히 큰 자계 내에서 AF층이 형판층(15) 상에 부착될 수 있다. 이러한 대안적인 방법에 있어서, 초기 강자성체층(16)은 필요하지 않다. 또한, 부착 프로세스 동안에 인가된 자계를 따라 자화 방향을 정렬시키는 자기 이방성을 전개시키기 위한 자화 방향이 고정된 층의 자화경직(magnetostriction) 미정도 가능하다.

기존 강자성체층(20)과 AF층 사이의 결합(coupling) 교란때문에, 이 기존 강자성체층(20)의 자화 방향을 변경시키는 것이 자유 강자성체층(24)의 자화 방향을 변화시키는 것보다 더 어렵다. 비트라인들과 워드라인들을 통과하는 전류에 의해 인가된 자계의 범위에 있어서, 본 실시예의 기존 강자성체층의 자화 방향은 고착 혹은 고정된다. MTJ의 항상 이방성을 따라 형성된 강자성체의 항상 이방성은 자화 방향이 고정된 층의 자화 방향에 추가적인 안정성을 제공한다. 메모리 셀을 기록하기 위해 인가된 자계들은 자유 강자성체층(24)의 자화 방향을 반전시키기에는 충분히 크지만 기존 강자성체층(20)의 자화 방향을 반전

시기에는 충분하지 않다. 따라서, 자화 방향이 고정된 층의 자화 방향은 MRAM 내의 메모리 셀들이 동작하는 동안에 변화하지 않는다.

MRAM 어레이가 동작하는 동안에, 충분히 큰 전류가 MRAM의 워드라인과 비트라인 양쪽을 통해 흐를 때, 워드라인과 비트라인의 교차점에서 결합된 전류의 자체 자계는 전류가 흐르는 워드라인과 비트라인의 교차점에 위치한 단일의 특정 MTJ(8)의 자유 강자성체층(24)의 자화 방향을 회전시킬 것이다. 전류 레벨은 결합된 전류의 자체 자계가 자유 강자성체층(24)의 스위칭 자계(the switching field)를 초과하도록 설계된다. 이 결합된 전류의 자체 자계는 기존 강자성체의 자화 방향을 회전시키는데 필요한 자계보다 훨씬 작게 설계된다. 셀 어레이 구조는 기록 전류들이 MTJ(8)를 통과하여 흐르지 않도록 설계된다. 메모리 셀은 터널 접합 장벽(22)을 통해 기존 강자성체층(20)으로부터 자유 강자성체층(24)으로 다이오드(7)와 MTJ(8)를 수직으로 통과하는 감지 전류를 흐르게(혹은 이와 반대로)함으로써 판독된다. AI-Q, 터널 장벽(22)의 저항은 AI-Q층의 두께에 매우 의존하기 때문에, 저항은 이 층의 두께에 따라 대략 지수할 수직으로 변화하는데, 이것은 전류가 대부분 AI-Q, 터널 장벽(22)을 통해 수직하게 흐르는 것을 의미한다. 터널 장벽(22)을 가로지르는 전하 캐리어(carrier)의 터널링 확률은 AI-Q층의 두께가 증가함에 따라 급격히 감소되어, 접합을 가로지르는 터널 캐리어들만이 접합층에 대해 수직하게 진행된다. 기록 전류들보다 매우 작은 감지 전류가 MTJ(8)를 수직으로 통과하여 흐를 때, 메모리 셀의 저항을 측정함으로써 메모리 셀의 상태가 판독된다. 이 감지 전류 혹은 판독 전류의 자체 자계는 무시할 수 있으므로, 메모리 셀의 자기 상태에 영향을 미치지 않는다. 터널 장벽(22)을 가로지르는 전하 캐리어들의 터널링 확률은 자유 강자성체층(24)과 기존 강자성체층(20)의 자기 모멘트들의 상대적인 정렬에 의존한다. 터널링 전류는 회전 분극화(spin polarized)되는데, 이것은 전류가 하나의 회전 형태(강자성체층의 자화 방향에 의존하는 회전 상승 혹은 회전 하강)의 전자들에 의해 주로 구성된 강자성체층들, 예를 들면 자화 방향이 고정된 층들 중 하나의 층으로부터 흐르는 것을 의미한다. 전류의 회전 분극화 정도는 터널 장벽과 강자성체층의 접촉면(interface)에서 강자성체층을 포함하는 자화 재료의 전자 밴드 구조에 의해 결정된다. 따라서, 제 1 강자성체층 터널 장벽은 회전 필터(a spin filter)로서 작용한다. 전하 캐리어들의 터널링 확률은 제 2 강자성체층 내의 전류의 회전 분극과 같이 동일한 회전 분극의 전자 상태들의 유용성에 의존한다. 통상적으로, 제 2 강자성체층의 자기 모멘트가 제 1 강자성체층의 자기 모멘트에 대해 정렬되면, 제 2 강자성체층의 자기 모멘트가 제 1 강자성체층의 자기 모멘트에 대해 반정렬될 때보다 더 유용한 전자 상태들이 존재한다. 따라서, 전하 캐리어들의 터널링 확률은 제 1 및 제 2 강자성체층들의 자기 모멘트들이 정렬될 때 최고치를 갖고, 제 1 및 제 2 강자성체층들의 자기 모멘트들이 모두 반정렬될 때 최저치를 갖는다. 제 1 및 제 2 강자성체층들의 자기 모멘트들이 정렬 혹은 반정렬도 아닌 상태로 배열될 때, 전하 캐리어들의 터널링 확률은 중간값을 갖는다. 따라서, 자기 메모리 셀의 전기적 저항은 제 1 및 제 2 강자성체층에서 전류의 회전 분극과 전자 상태들에 모두 의존한다. 결과적으로, 자유 강자성체층의 두 개의 가능한 자화 방향들은 자기 메모리 셀의 두 개의 가능한 비트 상태들(0 혹은 1)을 정의한다.

본 발명에 따른 도 5를 참조하면, 자기 소자(109)는 하부의 워드라인(103)에 의해 형성된 교차 영역보다 실제로 더 긴 하나 이상의 가변 혹은 자유 자기 영역들(108a-108f)과 교차 비트라인(105)(이들 모두는 자기 인가 구조의 예시적인 형태)을 포함한다. 바람직한 부분만이 워드라인(103)과 비트라인(105)에 의해 형성된 교차 영역과 교차되도록 가변적인 자기 영역(들)을 배열함으로써, 비트라인과 워드라인에 의한 기록 사이클 동안에 가변 영역(들)의 바람직한 부분만이 자극된다. 자화 자극을 예시적으로 도시된, 연결된 가변 자기 영역(들)의 바람직한 부분(예를 들면, 중심부)에만 제한함으로써, 바람직한 부분(들)(예를 들면, 중심부) 내의 자화 패턴들은 두 개의 대향 자화 방향 중 하나의 자화 방향을 균일하게 취할 것이며, 가변 영역들(108)의 종단들로 호하는 소정의 잠재적인 원하지 않는 자화 패턴들이 사용되지 않거나 혹은 완전히 제거됨으로써, 자기 소자의 후속하는 기록 성능에 영향을 미치지 않는다. 자기 소자의 안정성에 있어서는 큰 중립비, 예를 들면 수십 마이크로미터(micron)의 폭과 1 마이크로미터 정도 길이의 자유 영역들을 갖는 자기 소자들이 바람직하다.

워드라인/비트라인의 조합이 결합된 전류에 의해 자계를 형성할 때, 가변 자기 영역(들)은 미의 바람직한 부분(들)의 중심부가 반전된 자화 방향을 초기화하는 것을 보증하도록 충분히 길어야 한다. 이러한 가변 자기 영역(들)은 리소그래피로 정의된 영역이며, 이 영역 내에는 반전된 벽들(adverse walls) 혹은 다른 자기 구조들이 존재할 가능성이 없기 때문에, 반전 프로세스는 주어진 자기 소자와 이들 사이에서 매우 반복적일 수 있어야 한다.

비트라인 상에 인가되는 펄스형 자계에 후속하여 워드라인 상의 자화공란축을 따라 자계를 인가함으로써 자기 소자의 자화 방향을 두 개의 대향 자화 방향 중에서 어느 한 방향으로 변경시킬 수 있다. 위쪽으로 향하는 자화 방향을 회전시킴으로써, 접합 종단을 쪽으로 도달하는 한 쌍의 벽들이 형성된다. 이 벽들이 가변 영역의 종단을 쪽으로 도달함에 따라, 이들은 소멸됨으로써 다중 벽들의 최소화된 '말림(winding up)'이 기대된다. 이러한 종류의 자기 소자에 있어서 스위칭 시간의 판단들은 수 나노초 동안에 전체 프로세스가 완료됨을 나타낸다.

여섯 개의 분리된 자유 혹은 가변 영역들(108a-108f)(이로 인한 여섯 개의 분리된 터널 접합들)이 도 5에 도시되었으나, 당업자라면 본 발명이 자기 소자를 형성하는 단일의 가변 영역 혹은 다수의 가변 영역들에 대해서도 이루어질 수 있음을 알 수 있다. 'MAGNETIC MEMORY DEVICES HAVING MULTIPLE MAGNETIC TUNNEL JUNCTIONS THEREIN'이라는 제목으로 동시 출원된 미국 특허 출원에서 논의된 바와 같이, 각각의 자기 소자 내에 다중의 자기 터널 접합들을 사용함으로써 소정의 이점들을 얻을 수 있다. 이러한 이점들은 그러한 자기 소자들의 어레이 전체에 걸친 용량의 예측가능성을 포함한다. 다중의 가변 영역들은 실제로 동시에 변하지 않고 점진적으로 변화하는 수법을 사용하여 주어진 상태로 변경될 수 있다. 평균 상태는 어레이 전체에 걸친 용량의 예측가능성을 제공한다.

도 6a 내지 도 6b는 각각 예시적인 가변 자기 영역(108a)에서 두 개의 대향 자화 방향을 도시한다. 자화용이축('EA')은 가변 자기 영역의 연장된 축을 따라 위치하므로, 도시된 바와 같이 이 영역의 바람직한 부분인 예시적인 중심부는 두 개의 대향 자화 방향의 상태들 중 하나의 자화 방향 상태를 취한다.

또한, 도 6a 내지 도 6b에는 연장된 가변 영역(108a)의 각 종단에 나타나는 가능한 자화 패턴들이 도시된다. 가변 자기 영역의 중심부에 나타나는 대향 자화 방향에도 불구하고, 이 영역의 양쪽 종단들은 중심부 내의 자화 방향에 영향을 받지 않는 공통(예를 들면, 수직) 자화 방향을 갖는다. 본 발명의 이론들에 따르면, 연장된 자기 영역들의 종단들은 자화용이축에 대해 각각의 방향으로 자화 방향이 정렬되도록 의도적으로 바이어스될 수 있다. 이러한 효과는 자기 터널 접합의 기존 영역을 자화용이축에 대해 소정의 각도로 설정하여 손쉽게 달성될 수 있으므로, 가변 영역에 있어서의 결합은 바람직한 각각 방향의 자화 정렬을 유지한다. 이와 유사한 효과는 기존 영역에 근접하여 부착된 고정 자화원들을 사용하여 달성될 수 있다. 도 6a 내지 도 6b에는, 예시적인 영구 자석들(hard magnets)(106a-d 혹은 162a-b)이 공통 자화 방향을 유지하도록 연장된 영역들의 종단들에 위치되는 기법이 도시된다. 또한, 반강자성체층에 대하여 결합을 교환하는 기법이 사용될 수 있다. 그러한 바이어스 배열(biasing arrangements)들로부터 획득된 이점은 가변 자기 영역의 바람직한 부분의 중심부의 반전이 이 영역의 종단을 쪽으로 향하는 어떠한 '말뚝' 혹은 반대의 자화 패턴을 없이 달성될 수 있다.

본 발명의 이론들은 단독적으로 혹은 동시 출원된 미국 특허 출원들에 개시된 다른 이론들과 결합하여 사용될 수 있다. 예를 들면, 자기저항성 전기적 상호작용(the magnetoresistive electrical interaction)을 가변 자기 영역의 바람직한 부분, 예컨대 비트라인 및/또는 워드라인 하부로 제한함으로써, 개선된 히스테리시스 곡선을 얻을 수 있다. 자기저항성 전기적 상호작용을 바람직한 영역에 한정시키는 것은 산화 알루미늄의 부착에 앞서 터널링 영역을 마스크(masking)하거나 혹은 부분적으로 산화된 알루미늄 장벽 안으로 산소 분자들을 주입하는 것을 포함하는 상기 인용된 'LIMITING MAGNETORESISTIVE ELECTRICAL INTERACTION TO A PREFERRED PORTION OF A CHANGEABLE MAGNETIC REGION IN MAGNETIC DEVICE S'라는 명칭의 미국 특허 출원의 이론들에 따라 달성될 수 있다.

이에 부가하여, 상기 인용된 'MAGNETIC MEMORY DEVICES HAVING MULTIPLE MAGNETIC TUNNEL JUNCTIONS THEREIN' 및 'INTENTIONAL ASYMMETRY IMPOSED DURING FABRICATION AND/OR ACCESS OF MAGNETIC TUNNEL JUNCTION DEVICES'라는 명칭의 미국 특허 출원에 개시된 비대칭 셀 배열 및 자극 수법들에 따라, 비대칭 구조 및/또는 다중 접합들의 어레이들(예를 들면, 평행하게 배열될)을 사용하는 것은 제조 가변성을 감소시킬 수 있으며 기술자들에게 스위칭 자체들(the switching fields)을 사용할 수 있도록 한다.

더우기, 요구된 반전 자체를 정밀하게 조절하기 위해, 기준층 혹은 가변 자기층 중 하나 혹은 이들 모두는 박막 금속층에 의해 강하게 반강자성적으로 결합된 두 개의 자기층들을 갖는 평행하지 않은 구조들을 포함할 수 있다. 또한, 그러한 평행하지 않은 고정 방법은 안정한 자기 상태들을 달성하기 위해 필요한 증합비를 감소시킬 수 있다.

연장된 접합 증합비가 메모리 어레이 밀도를 감소시키는데 영향을 미칠 수 있지만, 더 큰 패키지 밀도를 획득하기 위해 접합들을 교차시키는 것이 가능하다. 자기 메모리 어레이를 형성하기 위해 터널 접합 소자들이 위치한 다수의 교차 영역들을 형성하는 워드라인들(201-203)과 비트라인들(204-206)을 포함하는 배열이 도 7에 도시된다. 각각의 개별적인 셀(예컨대, 셀(209))은 미의 개별적인 교차 비트라인과 워드라인에 대해서 소정의 각도로 기울어질 수 있으므로, 이는 비트라인들과 워드라인들이 획득된 평면에 대해 평행한 평면에서 일부 중첩한다. 대안적으로, 비트라인 혹은 워드라인이 지그-재그(zig-zag) 패턴으로 형성될 수 있어 모든 소자들의 국지적인 직교성을 유지하면서 밀도를 증가시킨다. (본 발명의 '교차 라인들'은 수직이 아닌, 즉 소정의 각도, 예를 들면 45°로 교차한다.)

메모리 어레이 내에서 셀 패턴의 밀도는 자화용이축 방향의 가변 자기 영역(들)의 길이에 의존한다. 이 길이는 라인들이 접합에 인가하는 자체의 범위에 의존한다. 통상적으로, 가변 자기 영역은 비트 라인의 3 배의 길이 혹은 3 배의 폭을 필요로 한다. 따라서, 자기 소자 밀도를 유지하기 위해, 필요한 스위칭 자체를 제공할 수 있는 최소화된 비트 라인을 사용하는 것이 바람직하다.

워드라인 부분(303)과 비트라인 부분(305) 사이에 자기 소자(309)가 부착되는, 비트라인 폭을 최소화하기 위한 한가지 가능한 수법이 도 8에 도시된다. 비트라인 부분(305)은 하이브리드 전자방/광 리소그래피 수법을 사용하여 비트라인 부분들(325a-b)로부터 '세선(細線)화(thinned down)'된다. 이러한 결합구조(geometry)는 전체가 전자방에 노출되지 않으면서도 소자 크기를 감소시키는 이점을 갖는다.

주어진 셀 내에서 접합들을 정의하는 직사각형 격자 구조를 제조하기 위한 공지된 방법들이 기록 리소그래피 길이 스케일에 대해 매우 작은 자기 영역들을 만드는데 사용될 수 있다. 예로써, 1 차원 격자의 자기 영역들은 각 셀에서 접합 영역을 정의하기 위해 종래의 노출을 사용하는 제 2 포토레지스트 단계에 후속하는 포토레지스트를 노출시키기 위한 두 개의 간섭 빔들을 사용하여 만들어질 수 있다. 상기 인용된 미국 특허들과 동시출원된 미국 특허 출원에 개시된 바와 같은 다른 제조 방법들도 사용가능하다.

설명된 간섭성을 위해 가변 자기 영역들만이 도 5 내지 도 8에 도시되었으나, 당업자라면 도 1a 내지 도 1b에 도시된 소정의 혹은 전체적인 다른 유용한 구조들이 제공될 수 있음을 알 수 있다. 분리 터널링 및 기준 자기 영역들이 각각의 분리된 가변 자기 영역에 제공될 수 있거나, 혹은 단일의 음성성 터널링 및 자화 방향이 고정된 층들이 다중의 가변 영역들을 지지하기 위해 사용될 수 있다. 그러한 구조들은 상기 인용된 'MAGNETIC MEMORY DEVICES HAVING MULTIPLE MAGNETIC TUNNEL JUNCTIONS THEREIN'이라는 명칭의 미국 특허 출원에 개시된다.

본 발명이 주로 MRAM 내의 자기 터널 접합 소자들에 대해서 설명되었으나, 본 명세서에 개시된 개성 방법들은 통상적으로 논리 소자 등을 포함하며 자극 인가 구조를 사용하는 기록 동작이 필요한 가변 자기 영역을 포함하는 자기 소자들에 적용가능하다.

본 발명은 바람직한 실시예로서 설명되었으나, 당업자라면 첨부된 특허 청구에 정의된 바와 같이 본 발명의 정신 및 범주를 벗어나지 않고 많은 변형이 이루어질 수 있음을 알 수 있다.

본 발명의 효과

본 발명에 따르면 가변적인 자기 영역의 반전 동안에 잠재적으로 발생된 복잡한 미세자기 구조들의 원하지 않는 영향을 회피하기 위해, 인가된 자화 자극에 따라 두 개의 자기 상태를 각각으로 변화가능한 제 1 자기 영역을 포함하는 자기 소자가 제공된다.

(57) 청구의 범위

청구항 1

자기 소자에 있어서,
인가된 자화 자극에 따라 두 개의 자기 상태를 각각으로 변화할 수 있는 제 1 자기 영역과,
상기 자화 자극을 상기 제 1 자기 영역의 바람직한 부분으로만 인가하기 위해 상기 제 1 자기 영역에 대해 배열된 자극 인가 구조를 포함하는 자기 소자.

청구항 2

제 1 항에 있어서,
상기 자기 소자는,
상기 인가된 자화 자극에 따라 실제로 상기 두 개의 자기 상태를 각각으로 함께 변화가능한 상기 제 1 자기 영역을 포함하는 다수의 제 1 영역들을 더 포함하는데, 상기 자극 인가 구조는 상기 다수의 제 1 자기 영역들 각각의 바람직한 부분들만 상기 자화 자극을 인가시키기 위한 상기 다수의 제 1 자기 영역들에 대해 배열되는 자기 소자.

청구항 3

제 2 항에 있어서,
상기 다수의 제 1 자기 영역들이 배열되어, 개별적인 제 1 자기 영역들 내의 자화 패턴들은 실제로 상기 자화 자극의 인가시에 상기 두 개의 자기 상태를 각각으로 함께 변화하는 자기 소자.

청구항 4

제 3 항에 있어서,
상기 다수의 제 1 자기 영역들 각각은 다른 제 1 자기 영역들에 대해 평행하게 배열되는 연장된 영역을 포함하는 자기 소자.

청구항 5

제 2 항에 있어서,
상기 자극 인가 구조는 제 1 라인과 제 2 교차 라인을 포함하는데, 상기 라인을 중 적어도 하나의 부분은 상기 다수의 제 1 자기 영역들의 연장된 치수보다 더 작은 측방향 치수를 가지며, 상기 라인을 중 적어도 하나의 상기 부분은 상기 자화 자극을 각각의 바람직한 부분들에만 인가하기 위해 상기 각각의 바람직한 부분들에 근접한 상기 다수의 제 1 자기 영역들과 교차하는 자기 소자.

청구항 6

제 5 항에 있어서,
자기 메모리 셀을 포함하는 자기 메모리와 결합하는 자기 소자는,
상기 제 1 및 제 2 라인들을 각각 포함하고 다수의 교차 영역들을 형성하는 제 1 및 제 2의 다수의 교차 라인들과,
상기 자기 메모리 셀을 포함하고, 다수의 각 교차 영역들 중 각각의 하나에 배치되며 개별적인 교차 영역을 형성하는 각각의 교차 라인들에 의해 액세스되는 다수의 자기 메모리 셀을 포함하는 자기 소자.

청구항 7

제 1 항에 있어서,

상기 제 1 자기 영역이 연장되는 자기 소자.

청구항 8

제 7 항에 있어서,

상기 자극 인가 구조는 제 1 라인과 제 2 라인을 포함하는데, 상기 라인을 중 적어도 하나는 상기 제 1 자기 영역의 연장된 치수보다 더 작은 폭방향 치수를 가지며 바람직한 부분에만 상기 자화 자극을 인가하기 위해서 상기 바람직한 부분에 인접한 상기 제 1 자기 영역과 교차하는 자기 소자.

청구항 9

제 8 항에 있어서,

자기 메모리 셀을 포함하는 상기 자기 메모리와 결합하는 자기 소자는,

상기 제 1 및 제 2 라인을 각각 포함하고 다수의 교차 영역들을 형성하는 제 1 및 제 2 다수의 교차 라인들과,

상기 자기 메모리 셀을 포함하고 상기 다수의 각 교차 영역들 중 각각의 하나에 배치되고 상기 각 교차 영역을 형성하는 개별적인 교차 라인들에 의해 액세스되는 다수의 자기 메모리 셀들

을 포함하는 자기 소자.

청구항 10

제 8 항에 있어서,

상기 제 1 및 제 2 라인들은 수직하게 교차하여 이들 사이에 기준 영역을 형성하는데, 상기 제 1 자기 영역은 상기 제 1 혹은 제 2 라인 어느쪽에 대하여도 평행하지 않은 상기 교차 영역을 통과하여 교차하는 자기 소자.

청구항 11

제 10 항에 있어서,

자기 메모리 셀을 포함하는 상기 자기 메모리와 결합하는 자기 소자는,

상기 제 1 및 제 2 라인들을 각각 포함하고 다수의 교차 영역들을 형성하는 제 1 및 제 2 다수의 교차 라인들과,

상기 자기 메모리 셀을 포함하고 상기 다수의 각 교차 영역들 중 각각의 하나에 배치되고 상기 각 교차 영역을 형성하는 개별적인 교차 라인들에 의해 액세스되는 다수의 자기 메모리 셀들을 포함하는데,

상기 다수의 자기 메모리 셀들 중 상기 제 1 자기 영역들 각각은 개별적인 교차 영역을 형성하는 개별적인 교차 라인을 중 어느쪽에 대하여도 평행하지 않은 개별적인 교차 영역을 통과하여 교차하는 자기 소자.

청구항 12

제 11 항에 있어서,

상기 제 1 자기 영역들은 제 1 및 제 2 다수의 교차 라인들을 형성된 평면들에 대해 평행한 평면 내의 상기 자기 메모리를 가로질러 교차되는 자기 소자.

청구항 13

제 1 항에 있어서,

상기 제 1 자기 영역이 연장되는데, 적어도 두 개의 자기 상태들은 상기 제 1 자기 영역의 연장된 축의 중심부를 따라서 상기 연장된 제 1 자기 영역의 개별적인 종단을 각각에서 실제로 공통 자화 방향을 따라 전개하는 두 개의 대향 자화 방향을 포함하는 자기 소자.

청구항 14

제 13 항에 있어서,

상기 제 1 자기 영역이 이미 중심부에서 실제로 두 개의 대향 자화 방향 중 어느쪽도 취할 수 있는 동안에, 상기 연장된 제 1 자기 영역은 이미 개별적인 종단들에서 상기 공통 자화 방향을 유지하도록 형성되는 자기 소자.

청구항 15

제 14 항에 있어서,

상기 자기 소자는,

상기 연장된 제 1 자기 영역의 개별적인 증단에 배치되고, 상기 제 1 자기 영역이 이미 중심부에서 실제로 두 개의 대향 자화 방향 중 어느쪽도 취할 수 있는 동안에, 상기 연장된 제 1 자기 영역의 개별적인 증단에서 상기 공통 자화 방향을 유지하는 적어도 하나의 고정 자화원을 더 포함하는 자기 소자.

청구항 16

제 13 항에 있어서,

상기 공통 자화 방향은 제 1 및 제 2 자화 방향에 모두 직교하는 자기 소자.

청구항 17

두 개의 자기 상태를 각각으로 변화가능한 제 1 자기 영역을 갖는 자기 소자에 상기 두 개의 자기 상태를 중 하나의 상태를 기록하기 위한 방법에 있어서,

자화 기록 자극을 상기 제 1 자기 영역의 바람직한 영역에만 인가하는 단계를 포함하는 자기 상태 기록 방법.

청구항 18

제 17 항에 있어서,

상기 제 1 자기 영역의 상기 바람직한 부분은 영역을 포함하는데, 상기 두 개의 자기 상태를 각각은 서로 대향 방향으로될 것이 신뢰할 수 있게 예측될 수 있는 자기 상태 기록 방법.

청구항 19

제 18 항에 있어서,

상기 제 1 자기 영역은 연장되고, 상기 제 1 자기 영역의 상기 바람직한 부분은 중심부를 포함하는데, 상기 연장된 제 1 자기 영역의 중심부 내에서 두 개의 대향 자화 방향들은 상기 연장된 제 1 자기 영역의 개별적인 증단을 각각에서 공통 자화 방향으로 전개하는 자기 상태 기록 방법.

청구항 20

제 17 항에 있어서,

상기 인가 단계는 상기 제 1 자기 영역의 바람직한 부분에만 상기 자화 기록 자극을 인가하고 상기 제 1 자기 영역의 나머지 부분에는 인가하지 않도록 배열된 자극 인가 구조를 사용하는 단계를 포함하는 자기 상태 기록 방법.

청구항 21

자기 메모리 내의 자기 메모리 셀을 액세스하기 위한 방법에 있어서,

청구항 17의 자기 소자에 대해 두 개의 자기 상태를 중 하나의 상태를 기록하기 위한 방법을 포함하는데, 상기 자기 소자는 상기 자기 메모리 셀을 포함하는 액세스 방법.

청구항 22

자기 소자를 형성하기 위한 방법에 있어서,

인가된 자화 자극에 따라 두 개의 자기 상태를 각각으로 변화가능한 제 1 자기 영역을 형성하는 단계와,

상기 제 1 자기 영역에 인접하게 자극 인가 구조를 형성하여 상기 자화 자극인 상기 제 1 자기 영역의 바람직한 영역에만 인가되는 단계

를 포함하는 자기 소자 형성 방법.

청구항 23

제 22 항에 있어서,

상기 제 1 자기 영역 형성 단계는 연장될 제 1 자기 영역을 형성하는 단계를 포함하는데, 상기 제 1 자기 영역의 바람직한 부분은 상기 연장된 제 1 자기 영역의 중심부를 포함하는 자기 소자 형성 방법.

청구항 24

제 23 항에 있어서,

상기 자극 인가 구조를 형성하는 단계는 상기 제 1 자기 영역과 교차하고 상기 제 1 자기 영역의 연장된 치수보다 더 작은 축방향 치수를 가지며 상기 자화 자극을 인가하기 위한 적어도 하나의 라인을 형성하는 단계를 포함함으로써, 상기 적어도 하나의 라인이 상기 제 1 자기 영역의 바람직한 부분인 중심부에만 상기 자화 자극을 인가하는 자기 소자 형성 방법.

청구항 25

제 22 항에 있어서,

상기 자기 소자 형성 방법은,

상기 제 1 자기 영역을 포함하며 상기 제 1의 두 개의 자기 상태를 각각으로 변화가능한 다수의 자기 영역들을 형성하는 단계를 더 포함하는데, 상기 다수의 영역들은 실제로 상기 두 개의 자기 상태를 각각으로 함께 변화가능한 자기 소자 형성 방법.

청구항 26

제 25 항에 있어서,

상기 다수의 제 1 자기 영역들을 형성하는 단계는 연장될 상기 다수의 제 1 자기 영역들 각각을 형성하는 단계를 포함하는 자기 소자 형성 방법.

청구항 27

제 22 항에 있어서,

상기 자극 인가 구조를 형성하는 방법은,

교차 영역을 형성하기 위해 제 1 및 제 2 교차 라인들을 형성하는 단계를 포함하는데,

상기 제 1 자기 영역을 형성하는 단계는,

상기 제 1 및 제 2 교차 라인들 사이의 상기 교차 영역 내에 상기 제 1 자기 영역을 형성하는 단계를 포함하는 자기 소자 형성 방법.

청구항 28

제 27 항에 있어서,

상기 제 1 자기 영역 형성 단계는 연장될 제 1 자기 영역을 형성하는 단계를 포함함으로써 연장된 치수가 상기 제 1 자기 영역이 형성된 사이에 상기 교차 영역을 형성하는 상기 제 1 및 제 2 교차 라인들 중 적어도 하나에서의 축방향 치수보다 더 큰 자기 소자 형성 방법.

청구항 29

제 22 항에 있어서,

상기 제 1 자기 영역 형성 단계는 연장될 제 1 자기 영역을 형성하는 단계를 포함하는데, 상기 두 개의 자기 상태를 각각은 상기 연장된 제 1 자기 영역의 연장된 축의 중심부를 따르며 상기 연장된 제 1 자기 영역의 개별적인 종단 각각에서 공통 자화 방향으로 전개하는 대향 자화 방향들을 포함하는 자기 소자 형성 방법.

청구항 30

제 29 항에 있어서,

상기 자기 소자 형성 방법은,

상기 연장된 제 1 자기 영역의 중심부에서 상기 대향 자화 방향 중 하나를 취하는 상기 제 1 자기 영역의 성능에 영향을 미치지 않으면서도, 적어도 하나의 개별적인 종단에서 상기 공통 자화 방향을 유지하기 위해 상기 연장된 제 1 자기 영역의 개별적인 종단을 중 적어도 하나를 의도적으로 바이어스 하는 단계를 더 포함하는 자기 소자 형성 방법.

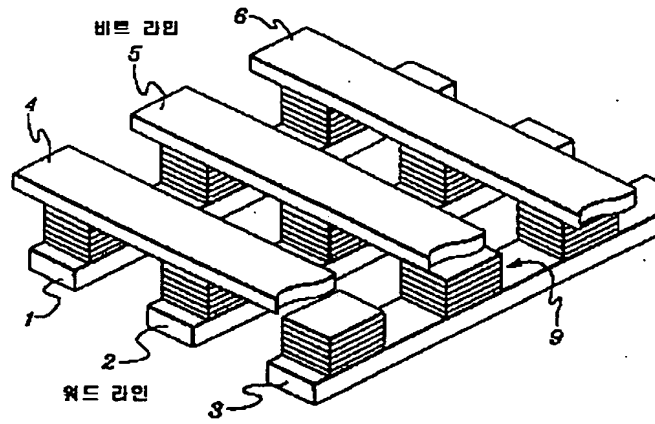
청구항 31

제 30 항에 있어서,

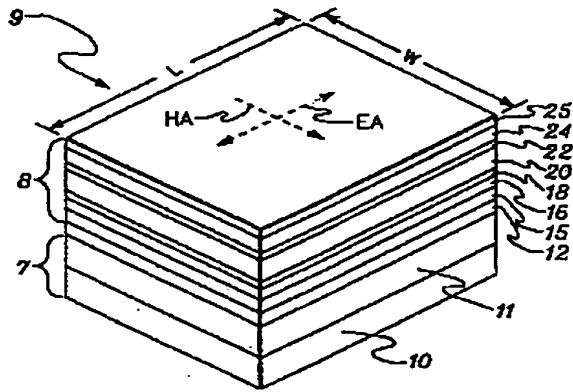
상기 의도적인 바이머스 단계는 적어도 하나의 고정 자화원을 상기 연장된 제 1 자기 영역의 적어도 하나의 개별적인 증단에 인가하는 단계를 포함하는 자기 소자 형성 방법.

도면

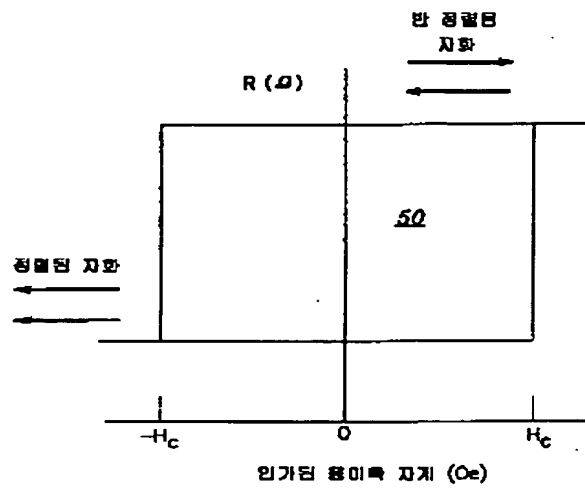
도면 1a



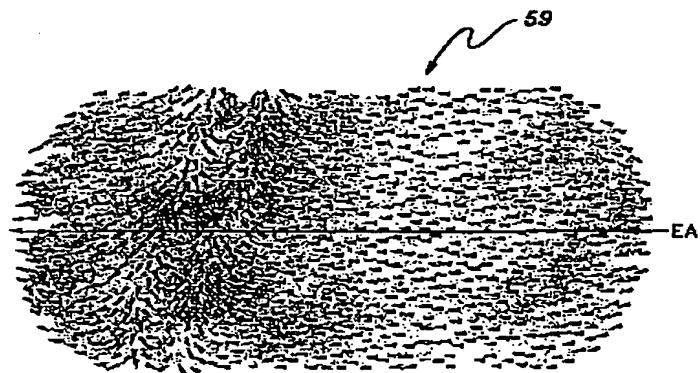
도면 1b



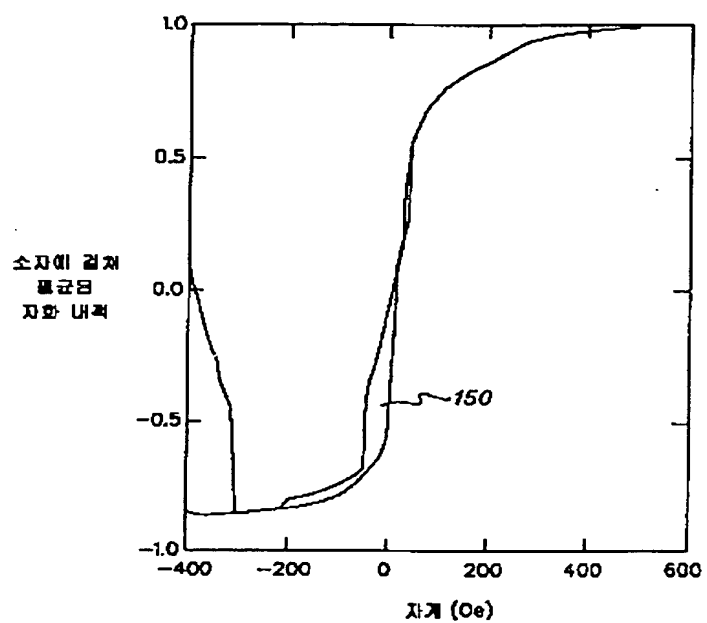
도면2



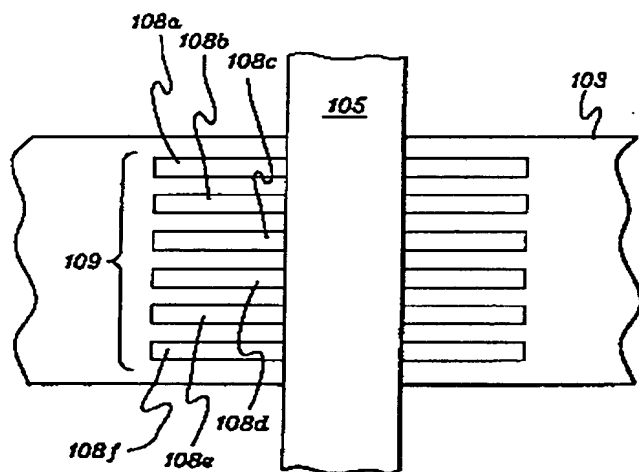
도면3



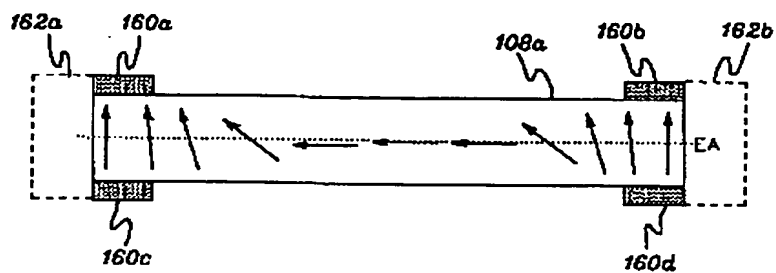
도면4



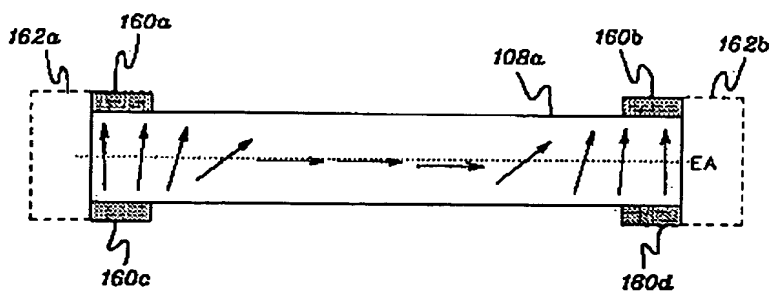
도면5



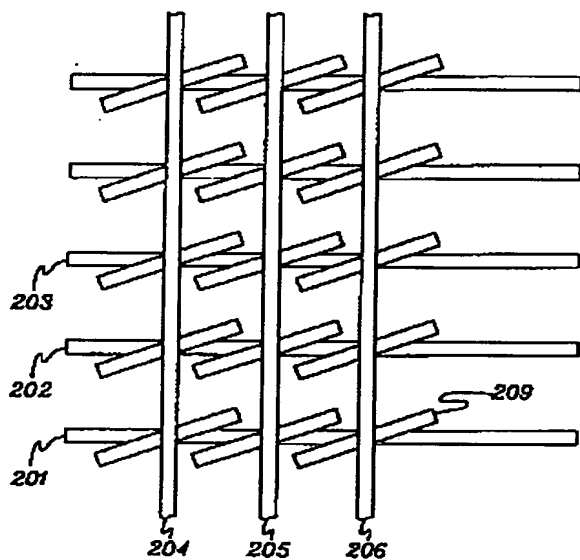
도 18a



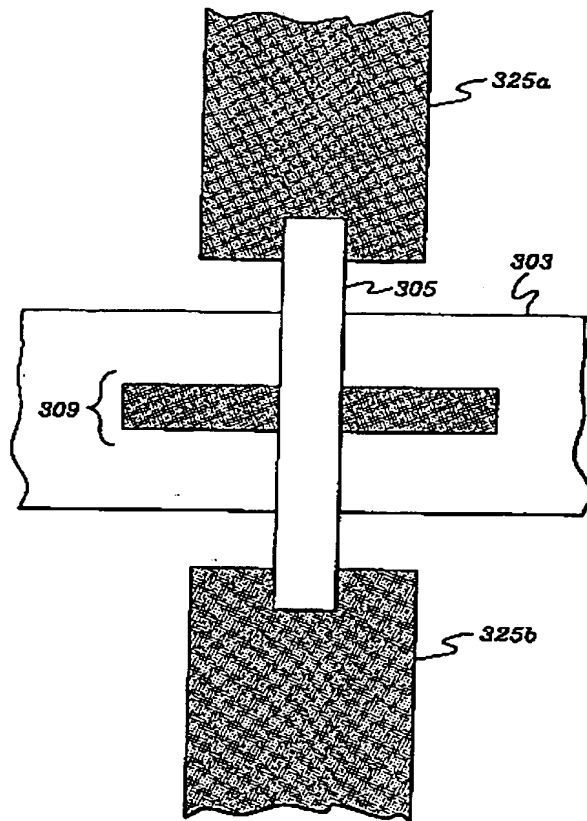
도 18b



도 19



도 18



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.